

Docket No.: K-229

*Handwritten:* #21 Priority  
PATENT  
4-11-01  
K. Kim

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :  
Jin Young KIM and Seong Ho KANG :  
Serial No.: New U.S. Patent Application :  
Filed: October 26, 2000 :  
For: STRUCTURE AND DRIVING METHOD OF PLASMA DISPLAY :  
PANEL :

1c925 U.S. PTO  
09/695976  
10/26/00

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 47167/1999 filed October 28, 1999.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

*Handwritten signature: Carl R. Wesolowski*

Daniel Y.J. Kim  
Registration No. 36,186  
Carl R. Wesolowski  
Registration No. 40,372

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

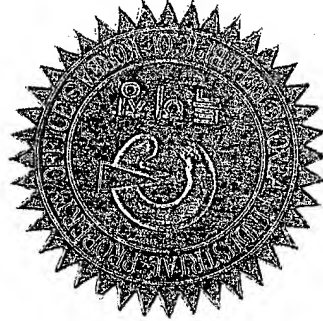
Date: October 26, 2000

DYK/kam



COMMISSIONER

대한민국 특허위원회



2000년 09월 27일

Applicant(s)

출원인 : 엘지전자 주식회사

Date of Application

출원일 : 1999년 10월 28일

Application Number

출원번호 : 특허출원 1999년 제 47167 호

Property Office.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Industrial

본청 사본은 아래 출원의 원본과 동일함을 증명함.

KOREAN INDUSTRIAL  
PROPERTY OFFICE

대한민국 특허위원회

CERTIFIED COPY OF  
PRIORITY DOCUMENT

Jc825 U.S. PTO  
09/695976  
10/26/00

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0009
【제출일자】	1999. 10. 28
【국제특허분류】	H01J
【발명의 명칭】	플라즈마 디스플레이 패널의 구조와 그 구동방법
【발명의 영문명칭】	Method for driving plasma display panel and structure of the plasma display panel
【출원인】	
【명칭】	엘지전자 주식회사
【출원인코드】	1-1998-000275-8
【대리인】	
【성명】	김용인
【대리인코드】	9-1998-000022-1
【포괄위임등록번호】	1999-001100-5
【대리인】	
【성명】	심창섭
【대리인코드】	9-1998-000279-9
【포괄위임등록번호】	1999-001099-2
【발명자】	
【성명의 국문표기】	김진영
【성명의 영문표기】	KIM, Jin Young
【주민등록번호】	630422-1807814
【우편번호】	703-090
【주소】	대구광역시 서구 중리동 26-1번지 중리아파트 38동 106호
【국적】	KR
【발명자】	
【성명의 국문표기】	강성호
【성명의 영문표기】	KANG, Seong Ho
【주민등록번호】	681022-1812321
【우편번호】	702-260
【주소】	대구광역시 북구 태전동 442 우방3차 105동 903호
【국적】	KR

**【심사청구】**

청구

**【취지】**

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

김용인 (인) 대리인

심창섭 (인)

**【수수료】****【기본출원료】**

20 면 29,000 원

**【가산출원료】**

4 면 4,000 원

**【우선권주장료】**

0 건 0 원

**【심사청구료】**

14 항 557,000 원

**【합계】**

590,000 원

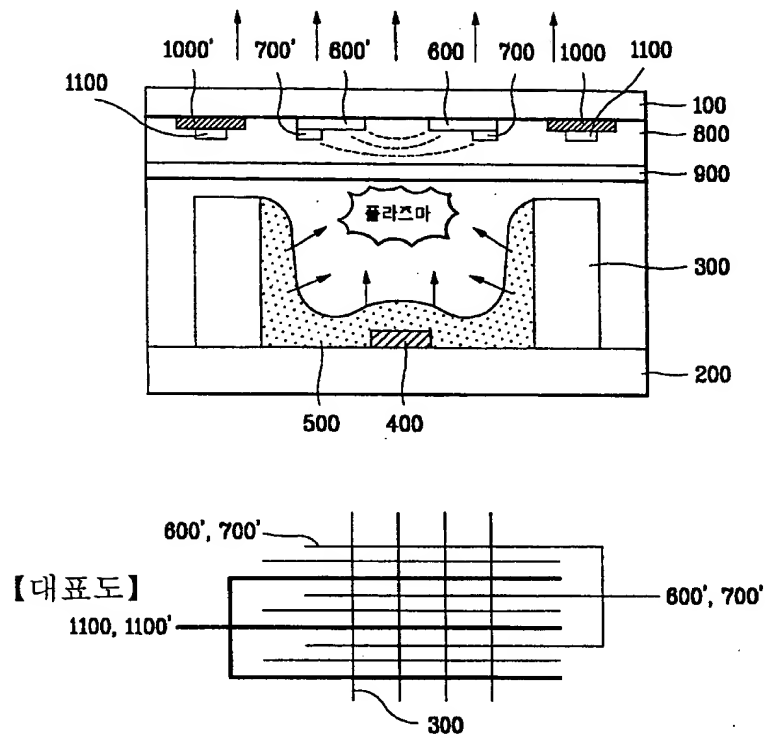
**【첨부서류】**

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

플라즈마 디스플레이 패널의 구조와 구동방법에 관한 것으로, 방전셀 내에 프라이밍 파티클의 분량을 증가시켜 어드레스방전의 방전늦음 현상을 줄이는 데에 그 목적이 있으며, 기판 위에 연속하여 형성된 복수 쌍의 유지전극들과, 한 쌍의 유지전극 사이마다 하나씩 형성된 복수개의 공통전극들, 그리고 유지전극들과 공통전극들을 도포하도록 기판 위에 형성된 유전체층을 포함하여 구성되어 있고, 공통전극에 주기적으로 온/오프(on/off)되는 공통펄스를 인가하는 단계, 한 쌍의 유지전극 중에 어느 하나에 스캔펄스를 인가하는 단계, 그리고 스캔펄스가 하나의 유지전극에 인가될 때에 어드레스전극에 어드레스펄스를 인가하는 단계를 포함하여 이루어져 방전셀 내의 방전조건이 향상되어 종래의 플라즈마 디스플레이 패널보다 방전늦음(discharge lag)이 줄어드는 효과가 있다

**【대표도】**



【색인어】

프라이밍 파티클, 방전넷음, 공통필스

## 【명세서】

## 【발명의 명칭】

플라즈마 디스플레이 패널의 구조와 그 구동방법{Method for driving plasma display panel and structure of the plasma display panel}

## 【도면의 간단한 설명】

도 1a와 도 1b는 일반적인 플라즈마 디스플레이 패널의 구조를 도시한 단면도와 평면도

도 2a와 도 2b는 플라즈마 디스플레이 패널의 스캔전극과 서스테인 전극의 구조를 도시한 평면도

도 3은 플라즈마 디스플레이 패널의 스캔전극과 서스테인 전극의 배선을 도시한 평면도

도 4a 내지 도 4d는 플라즈마 디스플레이 패널의 방전원리를 도시한 단면도

도 5와 도 6은 본 발명의 플라즈마 디스플레이 패널을 개략적으로 도시한 단면도와 평면도

도 7은 본 발명의 플라즈마 디스플레이 패널에 인가되는 전압펄스를 도시한 파형도  
도면의 주요부분에 대한 기호설명

100 : 상부기판

200 : 하부기판

300 : 격벽

400 : 어드레스전극

500 : 형광체

600 : 서스테인전극의 방전전극

700 : 서스테인전극의 버스전극

600' : 스캔전극의 방전전극

700' : 스캔전극의 버스전극

800 : 유전체층

900 : 보호층

1000, 1000' : 블랙매트릭스

1100, 1100' : 공통전극

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

<15> 본 발명은 플라즈마 디스플레이 패널에 관한 것으로, 특히 플라즈마 디스플레이 패널의 구동방법과 그 구조에 관한 것이다.

<16> 플라즈마 디스플레이 패널은 음극선관(CRT : Cathode Ray Tube)의 선명한 화질과 다양한 화면크기 및, 경박(輕薄)한 액정표시장치의 장점을 모두 가지고 있어 차세대 표시장치로서 각광을 받고 있다. 플라즈마 디스플레이 패널은 일반적으로 동일한 화면크기를 가진 음극선관에 비하여  $\frac{1}{3}$  정도의 중량을 가져 가볍고, 40 내지 60 인치의 대형 패널이라 할지라도 10 cm 이하의 두께로 얇은 특징이 있다.

<17> 뿐만 아니라, 음극선관이나 액정표시장치는 디지털 데이터 영상과 전체 동영상(full motion)을 동시에 표현할 때에, 크기 제한이 따르는 문제가 있으나, 플라즈마 디스플레이 패널은 이러한 문제가 발생하지 않는다. 또한, 음극선관이 자기력에 영향을 받는 문제가 있는 반면, 플라즈마 디스플레이 패널은 자기력에 영향을 받지 않아 안정적인 영상을 시청자에게 제공할 수 있다. 게다가 각 화소가 디지털적으로 조절되므로, 화면 구석의 영상이 일그러지지 않는 특성이 있어 음극선관보다 뛰어난 화질을 제공할 수 있다.



<18>       플라즈마 디스플레이 패널은 전극이 입혀진 두 개의 유리기관으로 이루어져 있고, 각 유리기관에 형성된 전극은 서로 수직방향으로 대향하여 위치하며, 전극의 교차부마다 화소의 역할을 수행한다. 플라즈마 디스플레이 패널의 동작은 가정용 형광등의 동작원리와 거의 동일하다.

<19>       일반적인 3전극 면방전 방식의 플라즈마 디스플레이 패널은 도 1a에 도시된 것과 같이 서로 대향하여 설치된 상부기관(10)과 하부기관(20)이 서로 합착되어 구성된다. 도 1b는 도 1a에 도시된 플라즈마 디스플레이 패널의 단면구조를 도시한 것으로서, 설명의 편의를 위하여 하부기관(20) 면이 90°회전되어 있다.

<20>       상부기관(10)은 서로 평행하게 형성된 스캔전극(16, 16')과 서스테인 전극(17, 17'), 그리고 스캔전극(16, 16')과 서스테인 전극(17, 17')을 도포하는 유전층(11), 및 보호막(12)으로 구성되어 있으며, 하부기관(20)은 어드레스전극(22)과, 어드레스전극(22)을 포함한 기관 전면면에 형성된 유전체막(21), 어드레스전극(22) 사이의 유전체막(21) 위에 형성된 격벽(23), 그리고 각 방전셀 내의 격벽(23) 및 유전체막(21) 표면에 형성된 형광체(24)로 구성되어 있으며, 상부기관(10)과 하부기관(20) 사이의 공간은 헬륨(He), 크세논(Xe) 등의 불활성 가스가 혼합되어 400 내지 600 Torr 정도의 압력으로 채워져 방전영역을 이루고 있다.

<21>       일반적으로 직류형 플라즈마 디스플레이 패널의 방전공간에 채워지는 불활성 가스는 헬륨-크세논(He-Xe)의 혼합 가스가 많이 사용되고, 교류형 플라즈마 디스플레이 패널의 방전공간에 채워지는 불활성 가스는 네온-크세논(Ne-Xe)의 혼합 가스가 많이 사용된다.

<22> 스캔전극(16, 16')과 서스테인 전극(17, 17')은 각 방전셀의 광투과율을 높이기 위하여 도 2a와 도 2b에 도시된 것과 같이 투명전극(16, 17) 및, 금속으로 된 버스전극(16', 17')으로 구성되어 있다. 도 2a는 서스테인 전극(17, 17')과 스캔전극(16, 16')의 평면도이며, 도 2b는 서스테인 전극(17, 17')과 스캔전극(16, 16')의 단면도이다. 버스전극(16', 17')은 외부에 설치된 구동 IC로부터 방전전압을 인가받고, 투명전극(16, 17)은 버스전극(16', 17')에 인가된 방전전압을 전달받아 인접한 투명전극(16, 17) 사이에 방전을 일으키는 것이다. 투명전극(16, 17)의 전체 폭은 대략 300 마이크로 미터( $\mu\text{m}$ ) 정도로 산화인듐 또는, 산화주석으로 이루어지고, 버스전극(16', 17')은 크롬(Cr)-구리(Cu)-크롬(Cr)으로 구성된 3층의 박막으로 이루어진다. 이 때, 버스전극(16', 17') 라인의 폭은 대략 투명전극(16, 17) 라인의 1/3 정도의 폭으로 설정된다.

<23> 도 3는 상부기관에 배열된 스캔전극( $S_{m-1}, S_m, S_{m+1}, \dots, S_{n-1}, S_n, S_{n+1}$ )과 서스테인 전극( $C_{m-1}, C_m, C_{m+1}, \dots, C_{n-1}, C_n, C_{n+1}$ )의 배선도를 나타낸 것으로서, 각각의 스캔전극은 상호절연되어 있으나, 서스테인 전극은 모두 병렬 연결되어 있다. 특히, 도 3에서 점선으로 도시된 구획은 화상이 표시되는 유효면을 나타낸 것이고, 그 외의 구획은 화상이 표시되지 않는 무효면을 나타낸 것이다. 무효면에 배열된 스캔전극들은 통상적으로 더미전극(dummy electrode)(26)이라고 일컫는데, 이러한 더미전극(26)의 개수는 특별히 제한되는 것이 아니다.

<24> 상술한 바와 같이 구성된 3전극 면방전 방식의 AC형 플라즈마 디스플레이 패널의 동작은 도 4a 내지 도 4d에 도시된 것과 같다.

<25> 먼저, 어드레스 전극과 스캔 전극 사이에 구동전압이 인가되면, 도 4a와 같이 어드레스 전극과 스캔 전극 사이에 대향방전이 일어난다. 이 대향방전에 의해 방전셀 내에

주입된 불활성가스가 순간적으로 여기되었다가 다시 기저상태로 천이하면서 이온(ion)들이 발생되고, 이 때 발생한 이온들, 혹은 준여기상태의 원자들 중 일부가 도 4b에 도시된 것과 같이 보호층 표면에 충돌한다. 이러한 전자의 충돌로 인하여 보호층 표면에서 2차적으로 전자가 방출된다. 그리고, 2차적으로 방출된 전자들은 플라즈마 상태의 가스에 충돌하여 방전을 확산시킨다. 어드레스 전극과 스캔전극 사이의 대향방전이 끝나면, 도 4c에 도시된 것과 같이 각 어드레스 전극과 스캔전극 위의 보호층 표면에는 각각 반대극성의 벽전하가 생성된다.

<26> 그리고, 스캔 전극과 서스테인 전극에 서로 극성이 반대인 방전전압이 지속적으로 인가되면서, 동시에 어드레스 전극에 인가되던 구동전압이 차단되면, 도 4d에 도시된 것과 같이 스캔 전극과 서스테인 전극 상호간의 전위차로 인하여 유전층과 보호층 표면의 방전영역에서 면방전이 일어난다. 이러한 대향방전과 면방전으로 인하여 방전셀(cell) 내부에 존재하는 전자들이 방전셀 내부의 불활성 가스에 충돌하게 된다. 그 결과, 방전셀의 불활성 가스가 여기되면서 방전셀 내에 147nm의 파장을 갖는 자외선이 발생한다. 이러한 자외선이 어드레스 전극과 격벽 주위를 둘러싸고 있는 형광체와 충돌하여 형광체가 여기된다. 여기된 형광체는 가시광선을 발생시키게 되고, 이러한 가시광선으로 인하여 화면에 화상이 구현된다.

<27> 하나의 화소는 적색형광체가 형성된 방전셀과, 녹색형광체가 형성된 방전셀, 그리고 청색형광체가 형성된 방전셀로 이루어진다. 이러한 플라즈마 디스플레이 패널은 각 방전셀의 방전회수를 조절함으로써, 영상의 계조를 구현한다.

<28> 각 방전셀에 방전이 일어나려면, 자유전자나 이온, 준안정 원자 등이 있어야 한다. 전자, 이온, 준안정 원자들은 프라이밍 파티클로 볼 수 있다. 전자에 충분한 전계가 걸

리면 움직여 가속을 하게 되고, 일정 속도 이상으로 가속된 전자가 기체 원자나 준안정 기체원자와 충돌하면 기체 원자나 준안정 기체 원자를 이온화 시킬 수 있게 된다. 원자가 이온화가 되면, 전자와 이온으로 분리되고 분리된 전자는 다시 전계에 의해 움직여 가속된다.

<29> 충분히 가속된 전자는 다시 다른 기체 원자와 충돌하게 되고, 또다른 이온화가 일어날 수 있게 된다.

<30> 이온은 전자와 반대방향으로 가속되어지고, 이온이 음극쪽의 보호층(MgO)와 충돌하면 2차 전자가 방출되고, 이 2차전자는 다시 전계에 의해 가속되어 다른 기체 원자와 충돌하게 된다. 이렇게 전계가 걸리고 전자와 기체원자의 충돌이 일어나서 전리된 전자의 수가 점점 많아지게 되며 또한, 이온의 보호층 충돌로 발생된 2차전자의 수가 많아지게 되면, 이온화되는 기체원자의 수가 증가하여 전자나 이온의 흐름이 눈사태처럼 증가하는 현상을 방전이라 한다.

<31> 이 때, 전계를 가하여 방전에 이르기까지 대략 수백 나노초(ns) 내지 수 마이크로 초( $\mu$ s)의 시간이 걸린다. 이러한 현상을 방전늦음(discharge lag)이라고 한다. 이러한 방전늦음은 통계적 늦음(statistic time lag)과 형성늦음(formative time lag)으로 되어 있는데, 형성늦음은 기체의 종류와 압력, 셀의 구조, 보호층(MgO)의 2차전자 방출계수 등이 원인으로 작용한다. 방전늦음은 통계적 늦음에 형성늦음을 더한 값이 된다. 방전늦음은 얼마나 좁은 펄스로 플라즈마 디스플레이 패널을 구동할 수 있느냐에 관계된다.

<32> 형성늦음은 일반적으로 수백 나노초(ns) 이내이지만, 통계적 늦음은 수백 나노초(ns) 내지 수 마이크로 초( $\mu$ s)까지 걸린다. 만약, 프라이밍 파티클이 충분한 농도로 존재한다면, 통계적 늦음은 수백 나노초 이내로 일정해지지만, 프라이밍 파티클이 충분한

농도로 존재하지 않으면, 3 마이크로 초( $\mu s$ ) 내지 4 마이크로 초( $\mu s$ ) 이상의 시간 정도의 지연현상이 발생할 때가 있다. 프라이밍 파티클은 방전이 일어난 직후에 가장 많으며 점차 방전 공간으로 확산되거나 재결합 혹은, 여기되었다가 기저상태로 되어 점점 그 수가 작게 된다.

<33> 일반적으로 방전이 일어난 후 30 마이크로 초( $\mu s$ )까지의 프라이밍 파티클 농도는 다음 방전의 통계적 늦음에는 영향을 주지 않고 30 마이크로 초( $\mu s$ ) 이상 경과한 후의 프라이밍 파티클 농도는 다음 방전의 통계적 늦음에 영향을 준다.

<34> 어드레스 방전을 위하여 스캔전극과 어드레스 전극에 펄스를 가하면, 프라이밍 파티클이 충분한 경우 원하는 시간(일반적으로 3 마이크로 초) 이내에 방전이 완료되어 벽전하가 충분히 형성된다. 그러나, 종래의 플라즈마 디스플레이 패널은 프라이밍 파티클이 부족한 경우, 원하는 시간 이내에 방전이 완료되지 못하는 경우가 확률적으로 발생하여 방전하려는 방전셀에 어드레스 방전을 일으키기 못하는 경우가 발생한다. 이러한 경우를 기입실패(addressing failure or miswriting)라고 한다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 종래의 플라즈마 디스플레이 패널은 프라이밍 효과를 이용하기 위한 프라이밍 파티클의 분량이 부족하여 방전 늦음이 일정하지 않아 기입실패가 발생될 확률이 많았었다. 그에 따라 벽전하를 충분히 발생시키기 위하여 스캔 전극에 인가되는 스캔펄스의 폭을 일정한 수준이상으로 넓혀야 하므로, 해상도가 높아질수록 서스테인 기간이 짧아지는 문제점이 발생한다.

<36> 본 발명은 이러한 문제점을 해결하기 위한 것으로, 방전셀 내에 프라이밍 파티클의

분량을 증가시켜 어드레스방전의 방전늦음 현상을 줄임으로써, 어드레스 펄스의 폭을 줄이고, 고해상도의 플라즈마 디스플레이 패널을 제조하는 데에 그 목적이 있다.

#### 【발명의 구성 및 작용】

- <37> 본 발명은 서로 인접한 방전셀의 유지전극 사이에 공통전극을 형성하고, 각 공통전극에 동일한 펄스의 전압을 인가하는 것이 특징이다.
- <38> 본 발명의 플라즈마 디스플레이 패널은 상부기관(100) 위에 형성된 복수 쌍의 유지전극들과, 한 쌍의 유지전극 사이마다 하나씩 형성된 복수개의 공통전극들과, 유지전극들과 공통전극들을 도포하도록 형성된 유전체층을 포함하여 구성되어 있다. 그 밖에 종래의 플라즈마 디스플레이 패널의 구조와 마찬가지로 본 발명의 플라즈마 디스플레이 패널은 격벽(300)과, 하부기관(200) 위에 형성된 어드레스전극(400), 그리고 형광체층(500)을 포함하여 구성되어 있다. 도 5는 본 발명의 플라즈마 디스플레이 패널을 개략적으로 도시한 단면도이고, 도 6은 평면도이다.
- <39> 유지전극들은 상부기관(100) 위에 연속하여 형성되어 있고, 한 쌍씩 짝지워져 방전셀을 이루도록 구성되어 있다. 유지전극 각각은 투명전극으로 이루어진 방전전극(600, 600')과 금속전극으로 이루어진 버스전극(700, 700')으로 이루어져 있고, 저항이 낮은 버스전극을 통해 외부 구동회로(도면에는 도시되지 않음)로부터 구동전압을 인가받는다. 이 때, 버스전극을 통해 인가된 구동전압으로 인하여 서로 인접하여 한 쌍씩 짝지워진 다른 유지전극의 방전전극 간의 전압차가 발생한다. 따라서, 이러한 전압차로 인하여 방전셀 내에 플라즈마 방전을 일으키는 것이다. 한 쌍의 유지전극은 종래의 유지전극과 마찬가지로 유지방전전압을 인가받는 서스테인전극(600, 700)과, 유지방전전압과 스캔펄스를 인가받는 스캔전극(600', 700')으로 구성되어 있다.

- <40> 공통전극(1100, 1100')들은 한 쌍의 유지전극 사이마다 하나씩 형성되어 있다. 즉, 각각의 공통전극(1100, 1100')은 유지전극들은 한 쌍씩 구분짓도록 형성되어 있다. 이러한 공통전극(1100, 1100')들은 상부기판(100)의 외곽영역에서 공통접점을 통해 공통적으로 연결되어 있고, 외부 구동회로를 통해 동일한 공통펄스를 인가받는다. 각각의 공통전극(1100, 1100')은 상부기판(100) 위에 크롬(Cr)과 구리(Cu) 및, 크롬(Cr)이 차례로 적층된 3층의 금속막으로 이루어질 수도 있고, 단층의 은(Ag)으로 이루어질 수도 있다.
- <41> 이 때, 공통펄스에 의해 미약한 방전이 발생될 수도 있다. 이러한 미약한 방전이 플라즈마 디스플레이 패널의 화질에 영향을 미치는 것을 방지하기 위하여 공통전극(1100, 1100') 위에 블랙매트릭스(1100, 1100')가 형성될 수도 있다. 이러한 블랙매트릭스(1100, 1100')는 전극들이 형성된 상부기판(100)의 배면에 형성될 수도 있지만, 유지전극과 동일한 면에 형성될 수도 있다. 만약, 블랙매트릭스(1100, 1100')가 유지전극과 동일한 면에 형성되어 있다면, 공통전극(1100, 1100')은 블랙매트릭스(1100, 1100') 위에 형성되는 것이 바람직하다.
- <42> 유전체층(800)은 유지전극과 공통전극(1100, 1100')을 도포하도록 상부기판(100) 전면에 형성되어 있으며, 대략 10 마이크로 미터( $\mu\text{m}$ ) 내지 30 마이크로 미터( $\mu\text{m}$ )의 범위로 증착되어 있다. 그리고, 유전체층(800) 위에는 산화마그네슘( $\text{MgO}$ )와 같은 재료로 이루어진 보호막(900)층이 형성되어 있다.
- <43> 이하, 본 발명의 플라즈마 디스플레이 패널은 다음과 같은 방법으로 동작한다. 도 6은 본 발명의 플라즈마 디스플레이 패널의 공통전극(1100, 1100')과 유지전극에 인가되는 전압펄스의 파형을 도시한 것이다.
- <44> 먼저, 공통전극(1100, 1100')에 주기적으로 하이레벨(high level)과 로우레벨(low

level)이 반복되는 공통펄스를 인가한다. 이러한 공통펄스의 하이레벨(high level) 전위는 플라즈마 디스플레이 패널의 방전개시전압보다 낮으며, 대략 270 볼트(V) 이하인 것이 바람직하다. 또한, 공통펄스의 펄스폭, 특히 한 주기의 하이레벨 기간은 1 마이크로초( $\mu$ s) 이하로 설정되는 것이 적당하다.

<45> 공통펄스의 하이레벨 기간이 끝난 후, 약간의 지연시간을 두고 한 쌍의 유지전극 중, 스캔전극에 스캔펄스를 인가한다. 동시에, 스캔펄스가 스캔전극에 인가될 때에 어드레스전극에 어드레스 펄스를 인가한다. 이 때, 스캔펄스와 어드레스펄스 간의 최대 전위차는 플라즈마 디스플레이 패널의 방전개시전압보다 높으며, 대략 280 볼트(V) 이상으로 설정되는 것이 바람직하다.

<46> 또한, 상기 지연시간은 500 나노초(ns) 이하인 것이 바람직하다. 즉, 공통펄스의 하이레벨(high level)이 오프(off)된 시점과 스캔펄스의 온(on) 시점 사이의 시간차, 또는 공통펄스의 하이레벨(high level)이 오프(off)된 시점과 어드레스펄스의 온(on) 시점 사이의 시간차는 500 나노초(ns) 이하로 설정되는 것이 좋다.

<47> 이 때, 스캔펄스의 온(on) 상태는 하이레벨(high level)일 수도 있고, 로우레벨(low level)일 수도 있다. 즉, 스캔펄스나 어드레스펄스는 모두 레벨상태와 상관없이 온(on) 기간 동안에 서로 간의 상태가 최대전위차를 가지도록 설정되는 것이 바람직한 것이다.

<48> 상술한 바와 같이 동작하는 본 발명의 플라즈마 디스플레이 패널의 방전원리는 다음과 같다.

<49> 공통전극(1100, 1100')에 공통펄스가 인가되면, 방전셀 내에는 방전하지 않지만,



공통펄스의 전압에 의한 강한 전계가 형성된다. 이러한 전계는 방전셀 내에 프라이밍 파티클(priming particle)을 형성하여 방전셀 내의 방전조건을 향상시킨다.

<50>      그 후, 소정의 지연시간을 두고 어드레스펄스와 스캔펄스가 인가되어 방전셀 내에 어드레스방전이 실시된다. 이 때, 지연시간은 공통펄스에 의해 발생된 프라이밍 파티클이 소거되지 않을 정도로 설정되는 것이 바람직하며, 대략 500 나노초(ns)인 것이 적당하다.

#### 【발명의 효과】

<51>      본 발명의 플라즈마 디스플레이 패널은 공통펄스에 의해 방전셀 내의 방전조건이 향상되므로, 종래의 플라즈마 디스플레이 패널보다 방전늦음(discharge lag)이 줄어든다. 그러므로, 서스테인방전을 위한 서스테인펄스(sustain pulse)의 폭이 종래보다 더 줄어들므로, 본 종래보다 더 해상도가 높은 플라즈마 디스플레이 패널을 제조할 수 있고 구동할 수 있는 효과가 있다. 뿐만 아니라, 본 발명은 구동시간에서 발광을 유지시키는 서스테인 기간을 늘릴 수 있어 휘도가 종래보다 더 높아지는 효과가 있다.

**【특허청구범위】****【청구항 1】**

기판 위에 연속하여 형성된 복수 쌍의 유지전극들,  
상기 한 쌍의 유지전극 사이마다 하나씩 형성된 복수개의 공통전극들,  
상기 유지전극들과 상기 공통전극들을 도포하도록 상기 기판 위에 형성된 유전체층을 포함하여 구성된 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 2】**

제 1 항에 있어서, 상기 복수개의 공통전극들은 상기 기판의 외곽영역에서 공통적으로 연결된 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 3】**

제 1 항에 있어서, 상기 공통전극은 크롬(Cr)과 구리(Cu) 및, 크롬(Cr)이 상기 기판 위에 차례로 적층된 3층의 금속층으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 4】**

제 1 항에 있어서, 상기 공통전극은 은(Ag)으로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 5】**

제 1 항에 있어서, 상기 유전체층의 두께는 10 마이크로 미터( $\mu\text{m}$ ) 내지 30 마이크로 미터( $\mu\text{m}$ )의 범위로 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 6】**

제 1 항에 있어서, 상기 기판과 상기 공통전극 사이의 층에 블랙매트릭스가 부가적으로 더 형성된 것을 특징으로 하는 플라즈마 디스플레이 패널의 구조.

**【청구항 7】**

기판 위에 한 쌍씩 짝지워져 연속하여 형성된 복수 쌍의 유지전극들과, 상기 한 쌍의 유지전극 사이마다 형성된 공통전극, 그리고 상기 유지전극에 직교하도록 형성된 어드레스전극을 포함하여 구성된 플라즈마 디스플레이 패널에서,

상기 공통전극에 주기적으로 온/오프(on/off)되는 공통펄스를 인가하는 단계,

상기 한 쌍의 유지전극 중에 어느 하나에 스캔펄스를 인가하는 단계, 그리고

상기 스캔펄스가 상기 하나의 유지전극에 인가될 때에 상기 어드레스전극에 어드레스펄스를 인가하는 단계를 포함하여 이루어진 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 8】**

제 7 항에 있어서, 상기 공통펄스의 온/오프(on/off) 간의 전위차는 상기 플라즈마 디스플레이 패널의 방전개시전압보다 낮은 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 9】**

제 8 항에 있어서, 상기 전위차는 270 볼트(V) 이하인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 10】**

제 7 항에 있어서, 상기 공통펄스의 온 기간 중의 펄스폭은 1 마이크로 초( $\mu$ s) 이하인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 11】**

제 7 항에 있어서, 상기 스캔펄스와 어드레스펄스 간 최대 전위차는 상기 플라즈마 디스플레이 패널의 방전개시전압 이상인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 12】**

제 7 항에 있어서, 상기 스캔펄스와 어드레스펄스 간 최대 전위차는 280 볼트(V) 이상인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 13】**

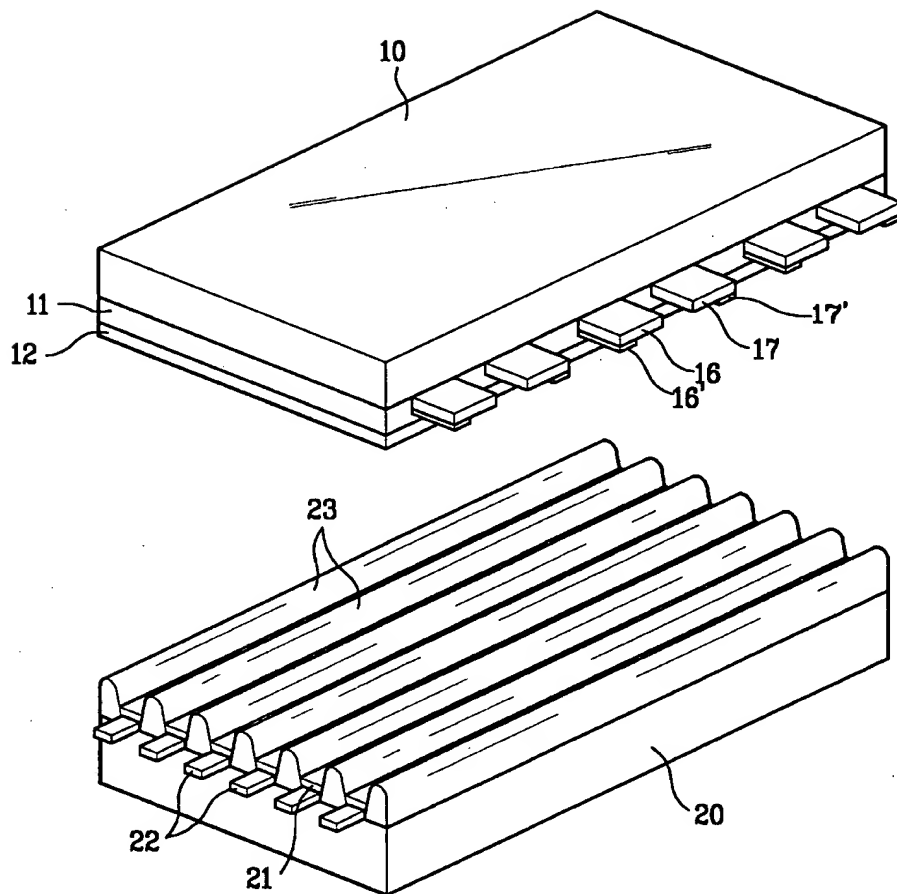
제 7 항에 있어서, 상기 공통펄스의 오프(off) 시점과 상기 스캔펄스의 온(on) 시점 사이의 시간차는 500 나노 초(ns) 이하인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**【청구항 14】**

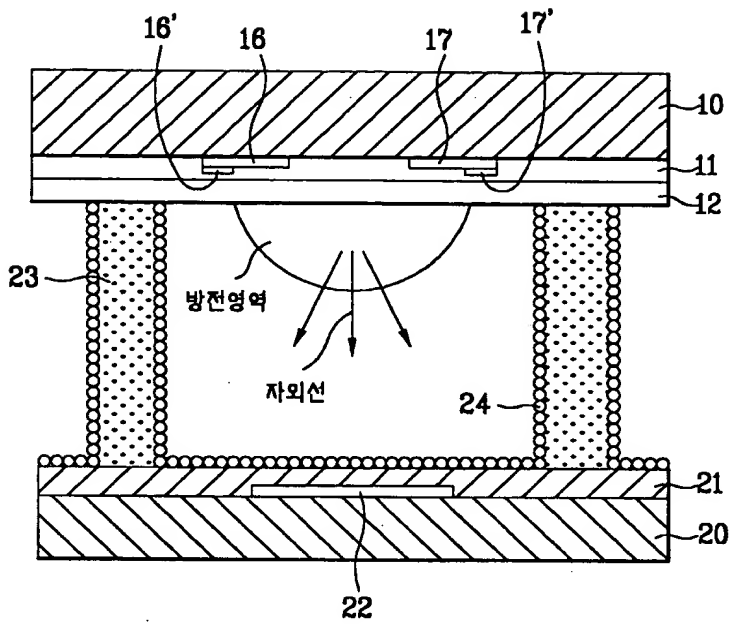
제 7 항에 있어서, 상기 공통펄스의 오프(off) 시점과 상기 어드레스펄스의 온(on) 시점 사이의 시간차는 500 나노 초(ns) 이하인 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

【도면】

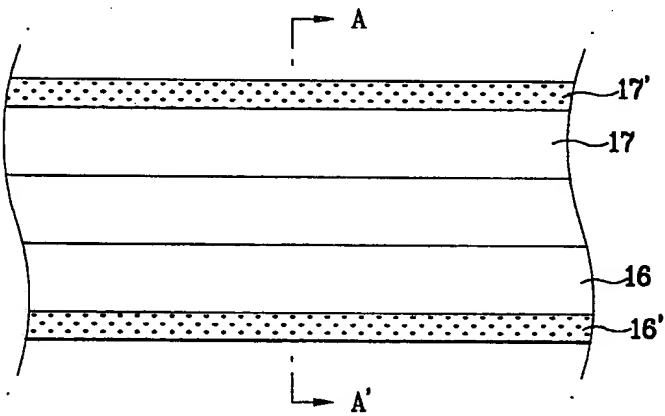
【도 1a】



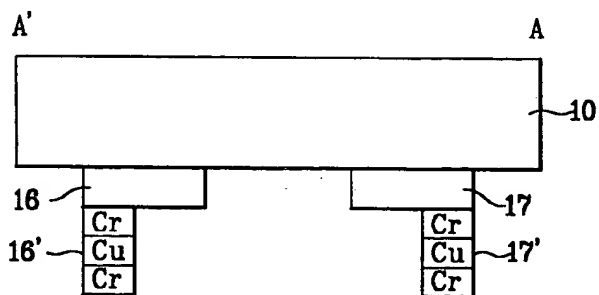
【도 1b】



【도 2a】



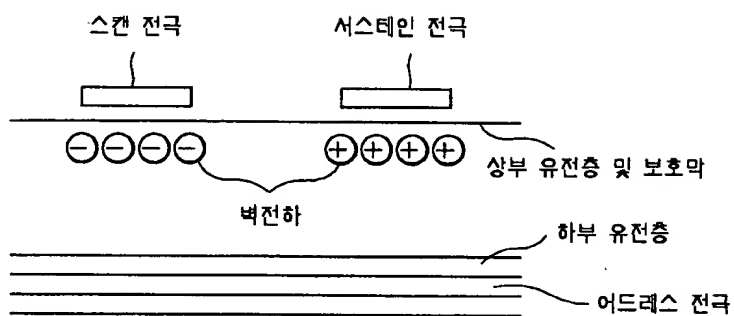
【도 2b】



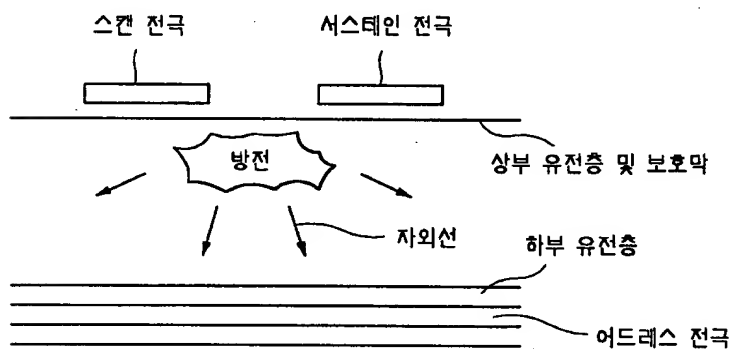
The diagram illustrates the structure of a 1T1R1C1 memory cell. At the top, two electrodes are labeled "스캔 전극" (Scan Electrode) and "서스테인 전극" (Sustain Electrode). Below these is a horizontal line representing the "상부 유전층 및 보호막" (Upper dielectric layer and protection film). Underneath this layer is a central access transistor, represented by a circle with a minus sign and four arrows pointing outwards. Below the transistor are three horizontal lines representing the "하부 유전층" (Lower dielectric layer). At the bottom, three horizontal lines represent the "어드레스 전극" (Address Electrode).

The diagram illustrates the structure of a 2T2E memory cell. At the top, two gate electrodes are labeled "스캔 전극" (Scan Electrode) and "서스테인 전극" (Sustain Electrode). Below these is a horizontal line representing the "상부 유전층 및 보호막" (Upper dielectric and protection layer). Underneath this layer, two circular regions represent the "2차 전자" (Secondary electrons), each containing a "+" and a "-" sign. Below the secondary electrons is another horizontal line representing the "하부 유전층" (Lower dielectric layer). At the bottom, three horizontal lines represent the "어드레스 전극" (Address electrodes).

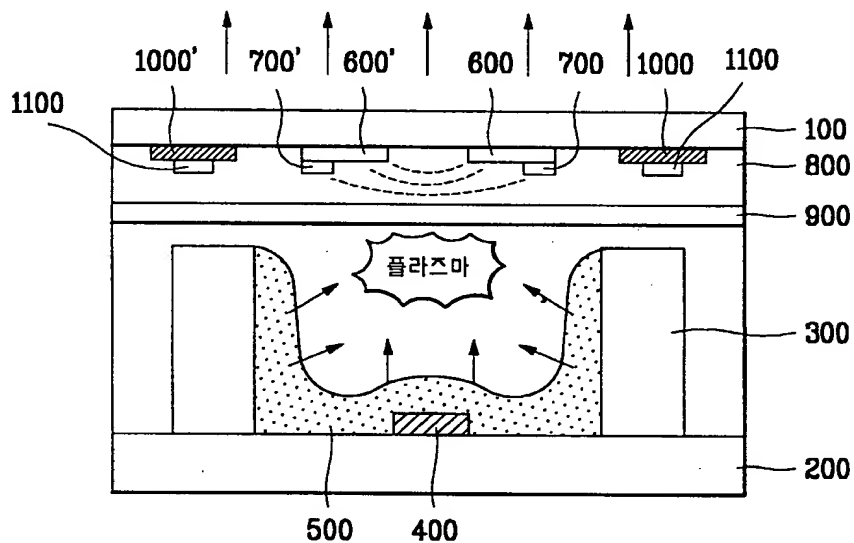
【도 4c】



【도 4d】

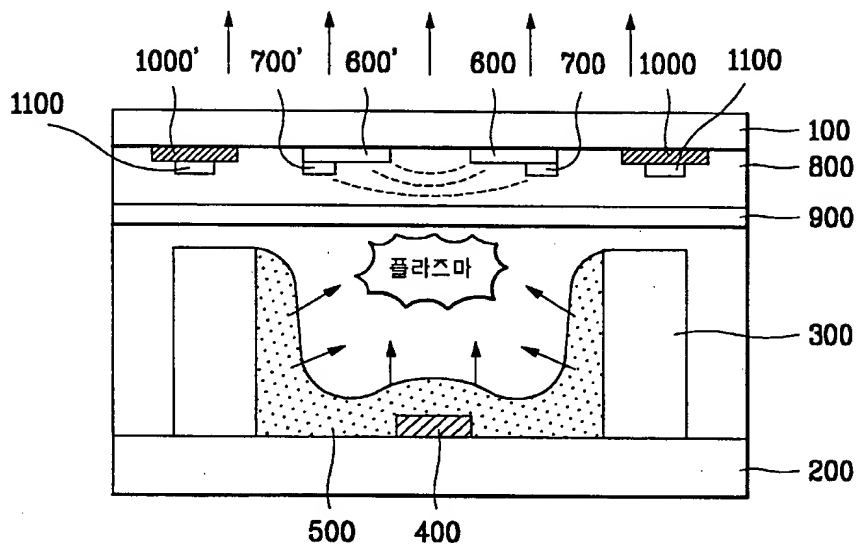


【도 5】

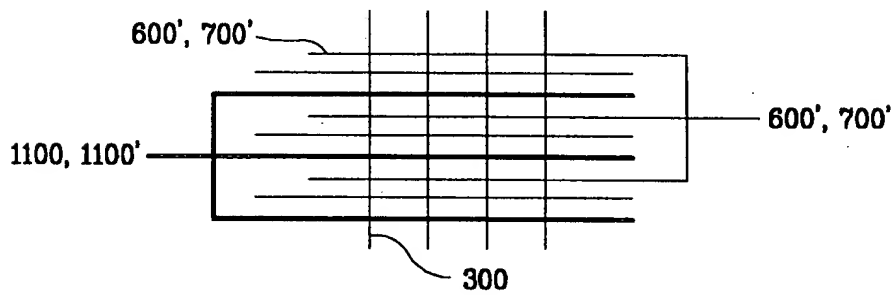




【도 6a】



【도 6b】



【도 7】

